

國立中正大學課程大綱(2021.02.20 更新)

109 學年 二 學期

課程名稱(中文)	數位積體電路設計 (Design of Digital Integrated Circuits and Systems)
先修科目或先備能力	1. Introduction to Digital Systems 2. Basic VLSI Systems Design
課程概述	This course aims to convey the senior and graduate students' techniques to design VLSI chips using current EDA tools. In addition to learning EDA tools for cost-effective IC designs, top-down design flow, and the related environment will also be addressed. Upon completion of the course, the student will be able to design their chip using a cell-based design flow. As such, he/she will be able to work in a team of designers or stand-alone.
學習目標	1. Understanding how to explore the possible architectures in high-level 2. Understanding the techniques to design VLSI chips using current EDA tools 3. Understanding the cell-based design flow and timing/SI closure flow
教科書	1. "Digital VLSI Chip Design with Cadence and Synopsys CAD Tools," Erik Brunvand, Pearson, 2010, ISBN: 0-321-54799-3. (全華圖書, http://www.opentech.com.tw). 2. "CMOS VLSI Design – A Circuits and Systems Perspective," Neil H.E. Weste, and David Harris, Third Edition, Pearson, 2005, ISBN: 0-321-26977-2. (偉明圖書, http://www.wmbook.com.tw) (請尊重智慧財產權，不得非法影印教師指定之教科書籍)

教學要點概述	
教材編選	<input checked="" type="checkbox"/> 自編教材 <input checked="" type="checkbox"/> 教科書作者提供
教學方法	<input checked="" type="checkbox"/> 投影片講述 <input type="checkbox"/> 板書講述

評量方法	<input checked="" type="checkbox"/> 上課點名 10% <input type="checkbox"/> 小考 0% <input checked="" type="checkbox"/> 作業 35% <input type="checkbox"/> 程式實作 0% <input type="checkbox"/> 實習報告 0% <input checked="" type="checkbox"/> 專案 30% <input type="checkbox"/> 期中考 0% <input checked="" type="checkbox"/> 期末考 25% <input type="checkbox"/> 期末報告 0% <input type="checkbox"/> 其它 0%
教學資源	<input checked="" type="checkbox"/> 課程網站 <input checked="" type="checkbox"/> 教材電子檔供下載 <input checked="" type="checkbox"/> 實習工作站
教學相關配合事項	1. 每週規定的上課錄影檔進度要在上課前聽完。 2. 需加入 FB 社團並參與每週的課程內容討論。 https://www.facebook.com/groups/3674125749307985
課程進度	
第一週：課程大綱介紹與上課進行方式解說	
第二週：Cell-Based IC Design (a. Introduction to Cell-based Design Flow b. Introduction to Standard Cell-Library)	
第三週：Cell-Based IC Design (a. Introduction to Cell-based Design Flow b. Introduction to Standard Cell-Library)	
第四週：Hardware Building Blocks(a. Data Path: Adder, Subtractor, Multiplier, and Divider b. Data Path: Barrel Shifter, Comparator, Parity Generator c. Storage: Latch and Register d. Storage: Memory (RAM, ROM) e. Controller: Finite State Machine)	
第五週：Hardware Building Blocks(a. Data Path: Adder, Subtractor, Multiplier, and Divider b. Data Path: Barrel Shifter, Comparator, Parity Generator c. Storage: Latch and Register d. Storage: Memory (RAM, ROM) e. Controller: Finite State Machine)	
第六週：Verilog HDL Structural-Level Design (a. Introduction to Verilog Structural-Level Design)	
第七週：Verilog HDL Behavior-Level Design (a. Introduction to Verilog Behavior-Level Design)	
第八週：Verilog HDL Behavior-Level Design (a. Introduction to Verilog Behavior-Level Design)	
第九週：Mid-Term Exam	
第十週：Logic Synthesis and Design Constraints (a. Introduction to Logic Synthesis b. Introduction to Synthesizable RTL-code c. Design Constraints and Static Timing Analysis (STA) d. Introduction to Data Path Compiler: ChipWare)	
第十一週：Logic Synthesis and Design Constraints (a. Introduction to Logic Synthesis b. Introduction to Synthesizable RTL-code c. Design Constraints and Static Timing Analysis (STA) d. Introduction to Data Path Compiler: ChipWare)	
第十二週：Low-Power Synthesis (a. Source of Power Dissipations b. Gate-Level Power Estimation c. Gated-Clock Insertion d. Operand Isolation e. Dynamic Power Optimization)	
第十三週：Design for Testability (a. Stuck-at-Fault Model b. Combinational Circuit Testing c. Sequential Circuit Testing d. Scan Chain and ATPG)	
第十四週：Automatic Placement and Routing (APR) (a. Floor planning and Power Planning b. I/O and Packages c. Clock Tree Synthesis d. Power Network IR Drop Analysis e. Signal Cross Talk Analysis f. Design for Manufacturability g. Introduction to Timing / Signal Integrity (SI) Closure)	

Flow)
第十五週：Automatic Placement and Routing (APR) (a. Floor planning and Power Planning b. I/O and Packages c. Clock Tree Synthesis d. Power Network IR Drop Analysis e. Signal Cross Talk Analysis f. Design for Manufacturability g. Introduction to Timing / Signal Integrity (SI) Closure Flow)
第十六週：Layout Verification (a. Design Rule Check (DRC) and Layout vs. Schematic Check (LVS) b. Layout Parameter Extraction (LPE))
第十七週：Final Project
第十八週：Final-Term Exam

核心能力

1.1A1.具有資訊工程與科學領域之專業知識。(Competence in computer science and computer engineering.)

為何有關：

在本課程中將會學習到如何開發大型晶片的相關知識，對資訊工程領域，SOC 開發的相關知識，極有幫助。

達成指標：

讓學生了解到目前設計大型晶片面臨的挑戰與設計的技術。藉由實作的機會，讓學生學習到: 1. 如何使用 Verilog 描述大型電路 2. 如何使用電路合成軟體來加速大型電路的設計速度 3. 如何使用自動化佈局軟體將合成的電路變成佈局圖 4. 如何進行晶片 Layout 佈局驗證與增加電路 Testability。

評量方法：

1. 完成本學期所安排的九次實作: a. Automatic Placement and Routing 相關資料了解 b. Verilog Gate-level 訓練 c. Verilog RTL-level 訓練 d. Logic Synthesis 訓練 e. Low-Power Synthesis 訓練 f. Design for Testability 訓練 g. Automatic Placement and Routing 訓練 h. Layout Verification 訓練 2. 完成 Final Project 3. 本項核心能力達成率，自我檢視的標準請參照以下建議：當學生完成 a. 全部實作時與預期學期成績可達到 80 分以上者，屬於等級 5 的核心能力達成率。 b. 部分實作時與預期學期成績可達到 70 分以上者，屬於等級 4 的核心能力達成率。 c. 無法完成任一實作與預期學期成績可達到 60 分以上者，屬於等級 3 的核心能力達成率。 d. 無法完成任一實作與預期學期成績不及格者，屬於等級 2 的核心能力達成率。 e. 對本課堂教授的知識完成無法了解吸收，並預期學期成績不及格者，屬於等級 1 的核心能力達成率。

1.2A2.具有創新思考、問題解決、獨立研究之能力。(Be creative and be able to solve problems and to perform independent research.)

為何有關：

課程中會有多次 Lab 實作與 Final Project，可訓練學生獨立解決問題的能力。

達成指標：

訓練學生能獨立解決所交付的問題，找出解決方案，並完成晶片設計。

評量方法：

1. 完成本學期所安排的九次實作: a. Automatic Placement and Routing 相關資料了解 b. Verilog Gate-level 訓練 c. Verilog RTL-level 訓練 d. Logic Synthesis 訓練 e. Low-Power Synthesis 訓

練 f. Design for Testability 訓練 g. Automatic Placement and Routing 訓練 h. Layout Verification 訓練 3. 本項核心能力達成率，自我檢視的標準請參照以下建議：當學生完成 a. 全部實作時與預期學期成績可達到 80 分以上者，屬於等級 5 的核心能力達成率。 b. 部分實作時與預期學期成績可達到 70 分以上者，屬於等級 4 的核心能力達成率。 c. 無法完成任一實作與預期學期成績可達到 60 分以上者，屬於等級 3 的核心能力達成率。 d. 無法完成任一實作與預期學期成績不及格者，屬於等級 2 的核心能力達成率。 e. 對本課堂教授的知識完成無法了解吸收，並預期學期成績不及格者，屬於等級 1 的核心能力達成率。

1.3A3. 具有撰寫中英文專業論文及簡報之能力。(Demonstrate good written, oral, and communication skills, in both Chinese and English.)

為何有關：

Final Project 報告必須能呈現自己的設計的優點並整理相關資料，可增強論文與簡報能力。

達成指標：

訓練學生能夠整理數據與圖表，並完成 Final Project 報告。

評量方法：

1. 本項核心能力達成率，自我檢視的標準請參照以下建議： a. 當學生完成期末專題並完成期末報告者，屬於等級 5 的核心能力達成率。 b. 當學生期末專題有部分項目無法完成，但仍完成期末報告者，屬於等級 4 的核心能力達成率。 c. 當學生無法完成期末專題的任一檢查項目實作，但仍完成期末報告者，屬於等級 3 的核心能力達成率。 d. 當學生無法完成期末專題的任何項目與無法完成期末報告者，屬於等級 2 的核心能力達成率。 e. 對期末專題無任何了解，無法開始進行設計，屬於等級 1 的核心能力達成率。

1.4A4. 具有策劃及執行專題研究之能力。(Be able to plan and execute projects.)

為何有關：

課程中會有多次 Lab 實作與 Final Project，可訓練學生解決問題。

達成指標：

訓練學生能使用 Verilog RTL-level 語言，找出各種硬體解決方案，並能選定最佳的電路架構完成 Lab 實作與 Final Project。

評量方法：

1. 完成本學期所安排的九次實作: a. Automatic Placement and Routing 相關資料了解 b. Verilog Gate-level 訓練 c. Verilog RTL-level 訓練 d. Logic Synthesis 訓練 e. Low-Power Synthesis 訓練 f. Design for Testability 訓練 g. Automatic Placement and Routing 訓練 h. Layout Verification 訓練 2. 完成 Final Project 3. 本項核心能力達成率，自我檢視的標準請參照以下建議：當學生完成 a. 全部實作時與預期學期成績可達到 80 分以上者，屬於等級 5 的核心能力達成率。 b. 部分實作時與預期學期成績可達到 70 分以上者，屬於等級 4 的核心能力達成率。 c. 無法完成任一實作與預期學期成績可達到 60 分以上者，屬於等級 3 的核心能力達成率。 d. 無法完成任一實作與預期學期成績不及格者，屬於等級 2 的核心能力達成率。 e. 對本課堂教授的知識完成無法了解吸收，並預期學期成績不及格者，屬於等級 1 的核心能力達成率。

1.5A6. 具有終身學習與因應資訊科技快速變遷之能力。(Recognize the need for, and have the ability to engage in independent and life-long learning.)

為何有關：

課程中將會強調設計流程隨時間快速變動，不斷有新的要考慮的因素加入 SOC 晶片設計考量中，可以讓學生養成自行學習的能力。

達成指標：

能自我學習新的電路設計方法，並應用至 Final Project。

評量方法：

1. 本項核心能力達成率，自我檢視的標準請參照以下建議： a. 當學生完成期末專題並完成期末報告者，屬於等級 5 的核心能力達成率。 b. 當學生期末專題有部分項目無法完成，但仍完成期末報告者，屬於等級 4 的核心能力達成率。 c. 當學生無法完成期末專題的任一檢查項目實作，但仍完成期末報告者，屬於等級 3 的核心能力達成率。 d. 當學生無法完成期末專題的任何項目與無法完成期末報告者，屬於等級 2 的核心能力達成率。 e. 對期末專題無任何了解，無法開始進行設計，屬於等級 1 的核心能力達成率。

1.6A8.具有國際觀及科技前瞻視野。(Have international view and vision of future technology.)

為何有關：

課程中將會介紹最新的 SOC 設計流程與所需要考慮的問題，讓學生隨時掌握最新知識與經驗。

達成指標：

了解最新的 SOC 設計流程與所需要考慮的問題，掌握最新知識與經驗。

評量方法：

1. 修課成績及格 (達 70 分以上) 2. 本項核心能力達成率，自我檢視的標準請參照以下建議：當學生完成 a. 全部實作時與預期學期成績可達到 80 分以上者，屬於等級 5 的核心能力達成率。 b. 部分實作時與預期學期成績可達到 70 分以上者，屬於等級 4 的核心能力達成率。 c. 無法完成任一實作與預期學期成績可達到 60 分以上者，屬於等級 3 的核心能力達成率。 d. 無法完成任一實作與預期學期成績不及格者，屬於等級 2 的核心能力達成率。 e. 對本課堂教授的知識完成無法了解吸收，並預期學期成績不及格者，屬於等級 1 的核心能力達成率。