

課程名稱：(中文) 奈米積體電路設計 (英文) Nano-meter Integrated Circuit Designs		開課系所	電機工程學系
		課程代碼	4155318
授課教師：王進賢教授			
學分數	3	必/選修	選修
		開課年級	研究所(碩士班/博士班)
先修科目或先備能力：VLSI 導論			
課程概述： (1)課程主軸：概論、奈米 IC 特性/挑戰、漏電流、溫度效應、設計變異、低功率/低電壓、高性能、SoC 議題；(2)以實作強化學習，以設計深入設計；(3)課堂討論腦力激盪、建立創造力培養觀念；(4)實作經驗分享、體認工程倫理 課程目標： 讓學生(1)認識 SOC 中最常見的底層電路設計問題；(2)學習 SOC 中奈米電路設計考量、電路模擬工具與模擬技巧；(3)學習 SOC 中奈米電路設計變異；(4)了解 SOC 中最新奈米電路設計趨勢			
教科書 ¹		(無) 採用上課講義、最新期刊與會議論文	
課程綱要		對應之學生核心能力	備註
單元主題	內容綱要		
1. Introduction	- basic concepts and simulation tools - overview of the course - grouping and accounting - Guided paper reading: IEEE Spectrum, p.2, July 2024 (Moore on Chip Scaling)	1.1、1.2、1.3、1.4、2.1、2.2、3.1、3.2、3.3、4.1、4.2、4.3、4.4	9/10 教授：課程、助教、期刊與會議介紹說明底層電路設計重要性 TA：分組、保密協定與簽署NDA HW: paper reading (2023 ISSCC, dual-AP for AI accelerator)
2. Academic-paper reading	- Guided paper reading: IEEE 2023 ISSCC, on the design of an AI accelerator with dual APs - Quiz in class: paper reading	1.1、1.2、1.3、1.4、2.1、2.2、3.1、3.2、3.3、4.1、4.2、4.3、4.4	9/17 TA: PrimeTime, Design Compiler Special Topic 1: PE for AI Acc. ST1-1: PE design using 22nm cell library @ TT corner (Verilog, synthesis & simulations, → find f_{max} and area) (Due: midnight 0:00 of 9/24, PPT report on 9/24 class)
3. Logic Circuits	- logic gates & standard cells - LV, global PVT and local variations <u>ST1-1 report</u> - selective, max 10-point bonus	1.1、1.2、1.3、1.4、2.1、2.2、3.1、3.2、3.3、4.1、4.2、4.3、4.4	9/24 TA: Concepts standard cells in (22nm, 16nm ADFP) <u>ST1-2:</u> PE design using 16nm 0.8V ADFP cell libraries @ TT corner (Verilog, synthesis & simulations, → f_{max} and area, comparisons w/ 22nm) (Due: midnight 0:00 of 10/1, PPT report on 10/1 class)
4. Sequential Circuits	- sequential elements, FF, Latch, & CK - logic-design verification and timing <u>ST1-2 report (*comparisons!!!)</u> - selective, max 10-point bonus	1.1、1.2、1.3、1.4、2.1、2.2、3.1、3.2、3.3、4.1、4.2、4.3、4.4	10/01 <u>ST1-3:</u> PE designs using 16nm 0.8V ADFP cell library @ corners (Verilog, synthesis & simulations, → f_{max} and area, corner comparisons) (Due: midnight 0:00 of 10/8, PPT report on 10/18class)
5. Low Voltage Design	- LV combinational & sequential elements - Circuit design (I), layout, and data sheet - NTV, NTC, STC, Regulator <u>ST1-3 report (*comparisons!!!)</u> - selective, max 10-point bonus	1.1、1.2、1.3、1.4、2.1、2.2、3.1、3.2、3.3、4.1、4.2、4.3、4.4	10/08 TA : 1-Neuron DNN Synthesis with SRAM Macros, HSPICE and WaveView & FineSim Special Topic 2: Neuron for DNN ST2-1: 1-Neuron DNN with SRAM Macros, synthesis and function verification (Due: midnight 0:00 of 10/29, PPT report on 10/29 class)

6. Full custom layout in FinFET CMOS (provided by M2s w/ ADFP FCD training)	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	10/15 TA: Critical patterns, timing and power simulation, STD-Cell Layout (22nm)
7. Midterm Examination — Topics 1~5 Invited speech (tbd)	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	10/22
8. <i>ST2-1 report and discussion</i> — each team	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	10/29 TA: APR w/ 16nm ADFP <i>ST2-2:</i> APR for 1-Neuron DNN Post-layout simulation, speed/power/area report (Due: midnight 0:00 of 11/12, PPT report on 11/12 class)
9. Low-Power Design (I) -Low Power, Circuit design (II) -Multi-VDD, Level Shifter -Multi-VTH/Multi-Tox -Power gating	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	11/05
10. <i>ST2-2 report and discussion</i> — each team (* deviation from pre-layout sim)	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	11/12 TA: Power-gating design <i>ST2-3:</i> 1-Neuron DNN with power gating, synthesis, and timing and function verification, pros and cons analysis (Due: midnight 0:00 of 11/26, PPT report on 10/29 class)
11. Low-Power Design (II) -Clock Gating -Nap/Hold/Sleep/Power-down	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	11/19
12. <i>ST2-3 report and discussion</i> — each team (* pros and cons analysis)	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	11/26 TA: SSTA <i>ST2-4:</i> SSTA analysis for 22nm 1- Neuron DNN with SRAM Macros, synthesis and function verification (Due: midnight 0:00 of 12/03, PPT report on 12/03 class)
13. Low-Power Design (III) -Variation -Vmin, Emin -DVS, DVFS, AVS, Canary, TD <i>ST2-4 report and discussion</i> — selective, max 10-point bonus	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	12/3 TA: IR drop 、 Whole chip verification <i>ST2-5:</i> Improvement of 1-Neuron DNN with power gating, considering IR drop (Due: midnight 0:00 of 12/24, PPT report on 12/24 class)
14. Low-Power Design (IV) -VOS -Metastability -Concepts of variation-resilient designs	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	12/10
15. Q&A	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	12/17
16. <i>ST2-5 report and discussion</i> — each team	1.1 、 1.2 、 1.3 、 1.4 、 2.1 、 2.2 、 3.1 、 3.2 、 3.3 、 4.1 、 4.2 、 4.3 、 4.4	12/24

教學要點概述：

教材編選：■學術論文 □教科書作者提供

教學方法：■投影片講述 ■板書講述 ■實例示範 □操作練習

評量方法：■ST1-1~ST1-3 (3*7 分) ■ST2-1~ST2-5 (5*10 分) ■期中考(20分) ■出席及平常表現(10分)

教學資源：■課程網站 ■教材電子檔供下載 ■其他(中正大學教學課程平台/線上討論區)

教學相關配合事項：助教:碩班生(黃子奕)、碩班生(鄭宇君)、碩班生(李謙佑)

核心能力 ●1.1 ●1.2 ●1.3 ●1.4 ●2.1 ●2.2 ●3.1 ●3.2 ●3.3 ●4.1 ●4.2 ●4.3 ●4.4

1.1 學習電機工程特定領域之理論基礎

1.2 瞭解電機工程特定領域之實務技術

1.3 培養特定領域電機工程系統之研發能力

1.4 訓練專業論文寫作與簡報的能力

2.1 培養發掘、分析、規劃與執行電機工程特定領域專題研究之能力

2.2 運用現有知識，學習獨立處理問題並進行跨領域創新研發

3.1 學習溝通與表達的能力

3.2 訓練運用個人專長配合團隊要求，與團隊成員合作達成專案計畫的目標

3.3 培養規劃、領導及管理合作團隊的能力

4.1 瞭解國內外電機工程特定領域之學術與產業的發展與需求

4.2 養成持續自我學習的習慣與能力

4.3 理解工程倫理及社會責任

4.4 培養良好的國際觀