

國立中正大學課程大綱 (2026.07.27 更新)

115 學年 第 一 學期

課程名稱(中文)	高等數位積體電路設計
先修科目或先備能力	1. Introduction to Digital Systems 2. Basic VLSI Systems Design 3. Digital IC Design
課程概述	This course aims to convey the senior and graduate EE students techniques to design Mixed-Signal IC using current EDA tools. In addition to learning EDA tools for SPICE and HDL co-simulation environment, all-digital PLL/DLL design techniques will also be addressed and take as design examples. Upon completion of the course, the student will be able to design their chip with Mixed-Signal blocks.
學習目標	1. Understanding the design challenges in mixed-signal IC design 2. Understanding the mixed-signal IC simulation and design flow 3. Understanding how to design the all-digital PLL/DLL
教科書	1. "CMOS VLSI Design – A Circuits and Systems Perspective", Neil H.E. Weste, and David Harris, Third Edition, Pearson, 2005, ISBN: 0-321-26977-2. 2. "All-Digital Frequency Synthesizer in Deep-Submicron CMOS", WILEY, 2006, ISBN: 978-0-471-77255-2 (請尊重智慧財產權，不得非法影印教師指定之教科書籍)

教學要點概述

教材編選	☒ 自編教材 ☒ 教科書作者提供
教學方法	☒ 投影片講述 ☐ 板書講述

評量方法	☐ 上課點名 0% ☐ 小考 0% ☒ 作業 45% ☐ 程式實作 0% ☐ 實習報告 0% ☒ 專案 30% ☐ 期中考 0% ☒ 期末考 25% ☐ 期末報告 0% ☐ 其它 0%
教學資源	☒ 課程網站 ☒ 教材電子檔供下載 ☒ 實習網站
教學相關配合事項	1. 本學期課程為遠距教學，每週規定的錄影檔進度要按進度聽完。 2. 本課程以錄影檔授課方式為主，有線上 Ecourse2 師生互動和發問平台，無法接受這樣的教學方式的同學請不要選修本課程。 3. S3LAB 開授相關課程，加退選截止前公告資訊網站： https://rustic-krypton-ea2.notion.site/S3LAB-1036610e2cf880cda1c9fda23064a940
課程進度	
第一週：課程大綱介紹與上課進行方式解說	
第二週：Introduction to Mixed-Signal IC Design Flow	
第三週：Introduction to PLL/DLL	
第四週：All-digital PLL Building Blocks (Digital Controlled Oscillator, Phase/Frequency Detector, Frequency Divider, PLL Controller, Loop Filter, PLL Loop Simulation)	
第五週：All-digital PLL Building Blocks (Digital Controlled Oscillator, Phase/Frequency Detector, Frequency Divider, PLL Controller, Loop Filter, PLL Loop Simulation)	
第六週：All-digital PLL Building Blocks (Digital Controlled Oscillator, Phase/Frequency Detector, Frequency Divider, PLL Controller, Loop Filter, PLL Loop Simulation)	
第七週：All-digital PLL Building Blocks (Digital Controlled Oscillator, Phase/Frequency Detector, Frequency Divider, PLL Controller, Loop Filter, PLL Loop Simulation)	
第八週：All-digital DLL Building Blocks (Digital Controlled Delay Line, Phase Detector and Time-to-Digital Converter, DLL Controller and DLL Loop Simulation, Multi-phase Clock Generation)	
第九週：All-digital DLL Building Blocks (Digital Controlled Delay Line, Phase Detector and Time-to-Digital Converter, DLL Controller and DLL Loop Simulation, Multi-phase Clock Generation)	
第十週：Digital Blocks Design (Digital Modeling with Verilog)	
第十一週：Analog Blocks Design (Circuit Simulation with HSPICE, Fast-SPICE Full-Chip Simulation with UltraSIM)	
第十二週：AMS Simulation Flow (AMS Simulator (AMS-Ultra) and Virtuoso Platform, Prepare for AMS Simulation, AMS Simulation Flow)	
第十三週：Low-Voltage All-Digital Phase-Locked Loop	
第十四週：On-Chip Oscillators	
第十五週：3D-IC Clock Synchronization and Duty-Cycle Correction Circuit	
第十六週：Final Project: Design an All-Digital Phase-Locked Loop (1/2)	

第十七週：Final Project: Design an All-Digital Phase-Locked Loop (2/2)

第十八週：Final-Term Exam

核心能力

1.1A1.具有資訊工程與科學領域之專業知識。(Competence in computer science and computer engineering.)

為何有關：

混合式電路的設計技巧是目前系統晶片(SoC)開發所必須的能力。

達成指標：

讓學生了解到目前設計混合式訊號晶片面臨的挑戰與設計的技術。藉由實作的機會，讓學生學習到：1. 如何跑電路模擬(SPICE and Fast-SPICE) 2. 如何將電路模擬結果建立 Verilog 模型 3. 如何進行 SPICE + Verilog 的混合式訊號模擬。

評量方法：

1. 完成本學期所安排的六次實作: a. DCO HSPICE 電路模擬與設計 b. PFD UltraSim 電路模擬與設計 c. DCO 與 PFD Verilog 模型建立 d. 除頻器與控制器設計 e. FSK Modem 混合式訊號模擬
2. 完成 Final Project 3. 修課成績及格 (達 70 分以上) 評量標準請參考：預期學期成績可達 80 分以上，為等級 5，預期學期成績可達 70 分以上，為等級 4，預期學期成績可達 60 分以上，為等級 3，預期學期成績可達 50 分以上，為等級 2，預期學期成績為 50 分以下，為等級 1。

1.2A2.具有創新思考、問題解決、獨立研究之能力。(Be creative and be able to solve problems and to perform independent research.)

為何有關：

課程中會有多次 Lab 實作與 Final Project，可訓練學生獨立解決問題的能力。

達成指標：

訓練學生能獨立解決所交付的問題，找出解決方案，並完成晶片設計。

評量方法：

1. 完成本學期所安排的六次實作: a. DCO HSPICE 電路模擬與設計 b. PFD UltraSim 電路模擬與設計 c. DCO 與 PFD Verilog 模型建立 d. 除頻器與控制器設計 e. FSK Modem 混合式訊號模擬
2. 完成 Final Project 3. 修課成績及格 (達 70 分以上) 評量標準請參考：預期學期成績可達 80 分以上，為等級 5，預期學期成績可達 70 分以上，為等級 4，預期學期成績可達 60 分以上，為等級 3，預期學期成績可達 50 分以上，為等級 2，預期學期成績為 50 分以下，為等級 1。

1.3A3.具有撰寫中英文專業論文及簡報之能力。(Demonstrate good written, oral, and communication skills, in both Chinese and English.)

為何有關：

課程中會有 Final Project，並要求學生撰寫結案報告，可以訓練完成論文與簡報的能力。

達成指標：

完成 Final Project 與繳交報告。

評量方法：

完成 Final Project 3. Final Project Report 分數達 70 分以上。

1.4A4.具有策劃及執行專題研究之能力。(Be able to plan and execute projects.)

為何有關：

課程中會有多次 Lab 實作與 Final Project，可訓練學生獨立解決問題的能力。

達成指標：

訓練學生能獨立解決所交付的問題，找出解決方案，並完成晶片設計。

評量方法：

1. 完成本學期所安排的六次實作: a. DCO HSPICE 電路模擬與設計 b. PFD UltraSim 電路模擬與設計 c. DCO 與 PFD Verilog 模型建立 d. 除頻器與控制器設計 e. FSK Modem 混合式訊號模擬
2. 完成 Final Project 3. 修課成績及格 (達 70 分以上) 評量標準請參考：預期學期成績可達 80 分以上，為等級 5，預期學期成績可達 70 分以上，為等級 4，預期學期成績可達 60 分以上，為等級 3，預期學期成績可達 50 分以上，為等級 2，預期學期成績為 50 分以下，為等級 1。

1.5A6.具有終身學習與因應資訊科技快速變遷之能力。(Recognize the need for, and have the ability to engage in independent and life-long learning.)

為何有關：

本學期會介紹最新的有關混合式訊號模擬與設計的相關技術，同時會在上課時講述這些技術引用自哪些論文與專利，可讓同學繼續尋找相關論文閱讀，以因應科技快速變遷。

達成指標：

訓練學生能獨立解決所交付的問題，找出解決方案，並完成晶片設計。

評量方法：

1. 完成本學期所安排的六次實作: a. DCO HSPICE 電路模擬與設計 b. PFD UltraSim 電路模擬與設計 c. DCO 與 PFD Verilog 模型建立 d. 除頻器與控制器設計 e. FSK Modem 混合式訊號模擬
2. 完成 Final Project 3. 修課成績及格 (達 70 分以上) 評量標準請參考：預期學期成績可達 80 分以上，為等級 5，預期學期成績可達 70 分以上，為等級 4，預期學期成績可達 60 分以上，為等級 3，預期學期成績可達 50 分以上，為等級 2，預期學期成績為 50 分以下，為等級 1。

1.6A8.具有國際觀及科技前瞻視野。(Have international view and vision of future technology.)

為何有關：

本學期會介紹最新的有關混合式訊號模擬與設計的相關技術，同時會在上課時講述這些技術引用自哪些論文與專利，可讓同學繼續尋找相關論文閱讀，以因應科技快速變遷。

達成指標：

訓練學生能獨立解決所交付的問題，找出解決方案，並完成晶片設計。

評量方法：

1. 完成本學期所安排的六次實作: a. DCO HSPICE 電路模擬與設計 b. PFD UltraSim 電路模擬與設計 c. DCO 與 PFD Verilog 模型建立 d. 除頻器與控制器設計 e. FSK Modem 混合式訊號模擬
2. 完成 Final Project 3. 修課成績及格 (達 70 分以上) 評量標準請參考：預期學期成績可達 80 分以上，為等級 5，預期學期成績可達 70 分以上，為等級 4，預期學期成績可達 60 分以上，為等級 3，預期學期成績可達 50 分以上，為等級 2，預期學期成績為 50 分以下，為等級 1。