

國立中正大學課程大綱 (2025.12.18 更新)

National Chung Cheng University Syllabus

課號 course code	4105559-01	全英文授課 EMI	☒ 是 ☐ 否
課程類別 course type	☐ 人文關懷課程 ☐ 競賽專題課程 ☐ 問題導向課程 ☐ 專題導向課程 ☐ 總整課程 ☒ 實作課程 ☐ 實習 ☐ 其他		
課程名稱 (中文) Chinese course name	超大型積體電路系統設計概論		
課程名稱 (英文) English course name	Introduction to VLSI System Design		
學年/學期 academic year /semester	114-2	學分 credits	3
學系 (所) department	資訊工程研究所	必選修 required/selected	☐ 必修 ☒ 選修
上課時間 class hours	五 3,4,5	上課地點 classroom	創新大樓 341
教師 instructor	鍾菁哲	教師 email Instructor's email	wildwolf@cs.ccu.edu.tw
助教 teaching assistant		助教 email TA's email	
先修科目或 先備能力 prerequisites	1. Electronic Circuits and Electronics (數位電子學) 2. Introduction to Digital Systems (數位系統導論)		
課程概述 course descriptions	This course aims to convey the CS students' techniques to analyze and design systems utilizing VLSI technology and CAD tools. The course starts with the introduction to VLSI process technology and transistor behavior. Then the circuit simulation techniques and layout design techniques to build up the logic gates are introduced to create your own logic families. Then how to build up a subsystem from logic gates using logic synthesis tools and HDL coding techniques are introduced. Upon completion of the course, the student will be able to work in a team of designers or stand-alone to meet system-level specifications. 學習基礎超大型積體電路系統設計方法與工具，包含硬體描述語言 (VERILOG HDL) 與電路自動化合成 (Logic Synthesis) 及電路佈局 (Layout Editor) 等工具使用。		

學習目標 learning objectives	1. Have basic understanding on the CMOS transistors 2. Finish the basic CMOS circuit layout 3. Realize different families of CMOS logic gates 4. Design static/dynamic CMOS circuits 5. Design simple digital systems containing general VLSI 6. Design simple digital systems containing memories 7. Finish the RTL/gate-level design of simple digital systems			
教科書及參考書 textbooks and references	1. "Modern VLSI Design – IP-based Design," Wayne Wolf, Fourth edition, Pearson, 2009, ISBN: 0-13-508162-9 (偉明書局, http://www.wmbook.com.tw). 2. "CMOS VLSI Design – A Circuits and Systems Perspective," Neil H.E. Weste, and David Harris, Third Edition, Pearson, 2005, ISBN: 0-321-26977-2. (偉明圖書, http://www.wmbook.com.tw) (請尊重智慧財產權，不得非法影印教師指定之教科書籍)			
教學要點概述				
教材編選 teaching materials	☒ 自製簡報(ppt) ☒ 課程講義 ☐ 自編教科書 ☐ 教學程式 ☒ 自製教學影片 ☐ 其他			
教學方法 teaching methods	☒ 講述 ☐ 小組討論 ☐ 學生口頭報告 ☐ 問題導向學習 ☐ 個案研究 ☐ 其他			
評量工具 Evaluation tools	☐ 期中考 ☒ 期末考 ☐ 隨堂測驗 ☐ 隨堂作業 ☒ 課後作業 ☐ 期中報告 ☐ 期末報告 ☐ 專題報告 ☐ 評量尺規 ☐ 其他			
教學資源 teaching resources	☒ 課程網站 ☒ 教材電子檔供下載 ☒ 實習網站			
教師相關訊息 instructor's information	1. 每週規定的上課錄影檔進度要按規定聽完。 2. 按時完成上機實作並參與 Ecourse2 課程討論。			
每週課程內容 weekly scheduled contents				
第一週：課程大綱介紹與上課進行方式解說				
第二週：Overview of VLSI system design (1. Challenge and Opportunity of IC Design in Taiwan 2. Challenges and Perspective of integrated Circuits and Systems Research in the New Century 3. Overview of SOC Design)				
第三週：Digital Systems (1. Why Design IC? 2. IC manufacturing 3. CMOS Technology 4. IC Design Techniques 5. A Look into the Future)				

第四週 : Transistors and Layout (1. Fabrication processes 2. Transistors 3. Wires and Vias 4. Design Rules 5. Layout Design and Tools 6. Physical Structure of CMOS Integrated Circuits)
第五週 : Transistors and Layout (1. Fabrication processes 2. Transistors 3. Wires and Vias 4. Design Rules 5. Layout Design and Tools 6. Physical Structure of CMOS Integrated Circuits)
第六週 : Logic Gates (1. Combinational Logic Functions 2. Static Complementary Gates 3. Switch Logic 4. Alternative Gate Circuits)
第七週 : Logic Gates (1. Combinational Logic Functions 2. Static Complementary Gates 3. Switch Logic 4. Alternative Gate Circuits)
第八週 : Combinational Logic Networks (1. Layout Design Methods 2. Simulation 3. Combinational Network Delay 4. Crosstalk 5. Power optimization 6. Switch Logic Networks 7. Combinational Logic Testing)
第九週 : Combinational Logic Networks (1. Layout Design Methods 2. Simulation 3. Combinational Network Delay 4. Crosstalk 5. Power optimization 6. Switch Logic Networks 7. Combinational Logic Testing)
第十週 : Mid-Term Exam
第十一週 : System Specifications using Verilog HDL (1. Basic Concepts 2. HDL for combinational circuits 3. HDL for sequential circuits 4. Switch-level Modeling 5. Design Hierarchy)
第十二週 : System Specifications using Verilog HDL (1. Basic Concepts 2. HDL for combinational circuits 3. HDL for sequential circuits 4. Switch-level Modeling 5. Design Hierarchy)
第十三週 : System Specifications using Verilog HDL (1. Basic Concepts 2. HDL for combinational circuits 3. HDL for sequential circuits 4. Switch-level Modeling 5. Design Hierarchy)
第十四週 : General VLSI System Components (1. Multiplexers 2. Binary decoders 3. Equality detectors and comparators 4. Priority encoder 5. Parity generator 6. Shift and rotation operations 7. Shifters)
第十五週 : Arithmetic Circuits in CMOS VLSI (1. Bit adder circuits 2. Ripple carry adders 3. Carry look-ahead adders 4. Other high-speed adders 5. Multipliers)
第十六週 : Memories and Programmable Logic (1. The static RAM 2. SRAM array 3. Dynamic RAMs 4. ROM arrays 5. Logic arrays)
第十七週 : VLSI Clocking and System Design (1. Clocked Flip-Flops 2. CMOS Clocking Styles 3. Pipelined Systems 4. Clock Generation and Distribution 5. System Design Considerations)
第十八週 : Final-Term Exam
核心能力 core competencies

1.1A1.具有資訊工程與科學領域之專業知識。(Competence in computer science and computer engineering.)

為何有關：

The vast majority of the lectures and homework deal with the applications of VLSI system design theory and techniques to modern VLSI system designs. In addition to covering the circuit design and logic design in VLSI, this course also includes some design examples of VLSI system for further increasing the knowledge of practical VLSI systems of majored students.

達成指標：

讓學生了解到目前設計大型晶片面臨的挑戰與設計的技術，藉由實作的機會，讓學生學習到:1. 如何跑電路模擬 2. 如何將電路圖變成佈局圖 3. 如何使用 Verilog 描述大型電路 4. 如何使用電路合成軟體來加速大型電路的設計速度。

評量方法：

1. 完成本學期所安排的四次實作: a. Layout 設計 b. 電路模擬 c. Verilog 訓練 d. 電路合成軟體使用訓練 2. 期末成績及格(達 60 分以上) 3. 本項核心能力達成率，自我檢視的標準請參照以下建議：當學生完成 a. 全部實作時與預期學期成績可達到 80 分以上者，屬於等級 5 的核心能力達成率。 b. 部分實作時與預期學期成績可達到 70 分以上者，屬於等級 4 的核心能力達成率。 c. 無法完成任一實作與預期學期成績可達到 60 分以上者，屬於等級 3 的核心能力達成率。 d. 無法完成任一實作與預期學期成績不及格者，屬於等級 2 的核心能力達成率。 e. 對本課堂教授的知識完成無法了解吸收，並預期學期成績不及格者，屬於等級 1 的核心能力達成率。

1.2A2.具有創新思考、問題解決、獨立研究之能力。(Be creative and be able to solve problems and to perform independent research.)

為何有關：

This course includes some design examples and labs of VLSI system, and thus the student will study how to use the VLSI circuit techniques to build up a system with the transistors and logic gates.

達成指標：

讓學生了解到實際上如何使用所教授之大型晶片設計的技術，藉由實作的機會，讓學生學習到:1. 如何跑電路模擬 2. 如何將電路圖變成佈局圖 3. 如何使用 Verilog 描述大型電路 4. 如何使用電路合成軟體來加速大型電路的設計速度。

評量方法：

1. 完成本學期所安排的四次實作: a. Layout 設計 b. 電路模擬 c. Verilog 訓練 d. 電路合成軟體使用訓練 2. 期末成績及格(達 60 分以上) 3. 本項核心能力達成率，自我檢視的標準請參照以下建議：當學生完成 a. 全部實作時與預期學期成績可達到 80 分以上者，屬於等級 5 的核心能力達成率。 b. 部分實作時與預期學期成績可達到 70 分以上者，屬於等級 4 的核心能力達成率。 c. 無法完成任一實作與預期學期成績可達到 60 分以上者，屬於等級 3 的核心能力達成率。 d. 無法完成任一

實作與預期學期成績不及格者，屬於等級 2 的核心能力達成率。 e. 對本課堂教授的知識完成無法了解吸收，並預期學期成績不及格者，屬於等級 1 的核心能力達成率。

1.3A6.具有終身學習與因應資訊科技快速變遷之能力。(Recognize the need for, and have the ability to engage in independent and life-long learning.)

為何有關：

The homework involves solving the problems in designing specific VLSI systems identified by the assignments and exemplified by class discussion. The homework also challenges the students to exercise the learned design skills in this course in designing actual VLSI systems.

達成指標：

具有設計大型晶片的基本能力與技術。

評量方法：

1. 完成本學期所安排的四次實作: a. Layout 設計 b. 電路模擬 c. Verilog 訓練 d. 電路合成軟體使用訓練 2. 期末成績及格(達 60 分以上) 3. 本項核心能力達成率，自我檢視的標準請參照以下建議：當學生完成 a. 全部實作時與預期學期成績可達到 80 分以上者，屬於等級 5 的核心能力達成率。 b. 部分實作時與預期學期成績可達到 70 分以上者，屬於等級 4 的核心能力達成率。 c. 無法完成任一實作與預期學期成績可達到 60 分以上者，屬於等級 3 的核心能力達成率。 d. 無法完成任一實作與預期學期成績不及格者，屬於等級 2 的核心能力達成率。 e. 對本課堂教授的知識完成無法了解吸收，並預期學期成績不及格者，屬於等級 1 的核心能力達成率。